

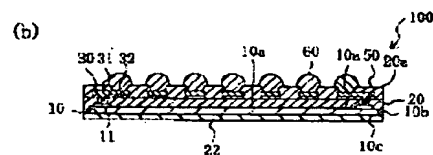
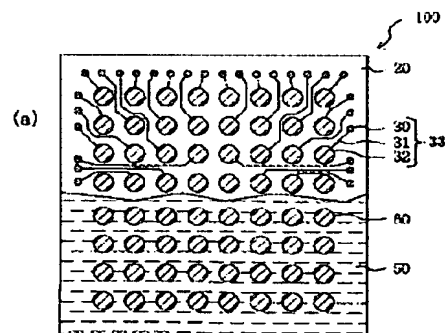
SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Patent number: JP2001168231
Publication date: 2001-06-22
Inventor: SAWARA RYUICHI; KAINO NORIYUKI; SHIMOISHIZAKA NOZOMI; NAKAMURA YOSHIFUMI; KUMAKAWA TAKAHIRO; WATASE KAZUMI
Applicant: MATSUSHITA ELECTRONICS CORP
Classification:
 - international: H01L21/60; H01L23/12; H01L21/02; H01L23/12; (IPC1-7): H01L23/12; H01L21/60
 - european:
Application number: JP19990352757 19991213
Priority number(s): JP19990352757 19991213

Report a data error here

Abstract of JP2001168231

PROBLEM TO BE SOLVED: To provide a semiconductor device that can protect a semiconductor chip from mechanical shock and is highly reliable at low manufacturing costs. **SOLUTION:** A semiconductor device 100 is provided with a semiconductor component with a main surface 10a where an element electrode 11 is arranged and a side surface 10b, an insulation layer 20 that is formed on the main surface 10a and the side surface 10b, a wiring layer 33 that is formed on the insulation layer 20 and is electrically connected to the element electrode 11, and an external electrode 32 that is formed as one portion of the wiring layer 33 on the insulation layer 20. The semiconductor device 100 is configured so that it can be manufactured as a wafer level CSP and the side surface 10b of the semiconductor component 10 is protected by the insulation layer 20.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-168231

(P2001-168231A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 23/12		H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
21/60	3 1 1	23/12	L

審査請求 未請求 請求項の数28 O L (全 15 頁)

(21)出願番号 特願平11-352757
 (22)出願日 平成11年12月13日(1999.12.13)

(71)出願人 000003843
 松下電子工業株式会社
 大阪府高槻市幸町1番1号
 (72)発明者 佐原 隆一
 大阪府高槻市幸町1番1号 松下電子工業株式会社内
 (73)発明者 戒能 憲幸
 大阪府高槻市幸町1番1号 松下電子工業株式会社内
 (74)代理人 10007/931
 弁理士 前田 弘 (外1名)

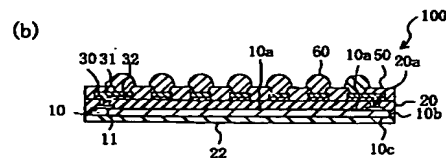
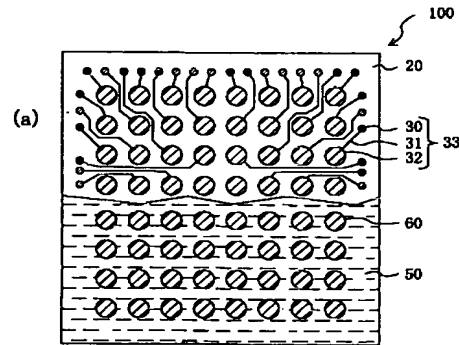
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 機械的な衝撃から半導体チップを保護することができ、信頼性を向上させた半導体装置を低い製造コストで提供する。

【解決手段】 素子電極11が配列された主面10aと側面10bとを有する半導体素子10と、主面10a上および側面10b上に形成された絶縁層20と、絶縁層20上に形成され、素子電極11と電気的に接続された配線層33と、配線層33の一部として絶縁層20上に形成された外部電極32とを備える半導体装置100である。半導体装置100は、ウェハレベルCSPとして製造可能な構成をしており、絶縁層20によって半導体素子10の側面10bが保護された構成をしている。



【特許請求の範囲】

【請求項1】 素子電極が配列された主面と、前記主面の外縁を規定する側面とを有する半導体素子と、前記半導体素子の前記主面上および前記半導体素子の前記側面上に形成され、前記素子電極を露出する開口部を有する絶縁層と、前記絶縁層上に形成され、前記開口部内において前記素子電極と電気的に接続された配線層と、前記配線層の一部として前記絶縁層上に形成された外部電極とを備える半導体装置。

【請求項2】 前記半導体素子の前記主面に対向する裏面上に形成された樹脂層をさらに有する請求項1に記載の半導体装置。

【請求項3】 前記絶縁層および前記樹脂層は、同一の絶縁性樹脂材料から形成されている請求項2に記載の半導体装置。

【請求項4】 前記樹脂層は、導電性樹脂層である請求項2に記載の半導体装置。

【請求項5】 前記導電性樹脂層は、前記素子電極の一部に電気的に接続されている請求項4に記載の半導体装置。

【請求項6】 前記樹脂層は、前記半導体素子の前記裏面の一部を露出する開口部を有している請求項2から5の何れか一つに記載の半導体装置。

【請求項7】 前記樹脂層は絶縁性樹脂層であり、前記絶縁性樹脂層上に形成された金属層をさらに備える請求項2に記載の半導体装置。

【請求項8】 前記配線層は、前記側面上に位置する絶縁層上に形成された側面配線層を有し、前記金属層は、前記側面配線層に電気的に接続されている請求項7に記載の半導体装置。

【請求項9】 前記金属層は、一部が外部電極として機能する金属配線層である請求項8に記載の半導体装置。

【請求項10】 前記外部電極に接合された金属ボールをさらに有する請求項1から9の何れか一つに記載の半導体装置。

【請求項11】 前記外部電極上に形成された導電性突起をさらに有する請求項1から9の何れか一つに記載の半導体装置。

【請求項12】 前記半導体素子の前記主面に形成され、前記素子電極を露出する開口部を有するパッシベーション膜をさらに備え、前記絶縁層は、前記パッシベーション膜上に形成されている請求項1から11の何れか一つに記載の半導体装置。

【請求項13】 前記半導体素子は、半導体ウェハ内に形成された半導体チップである請求項1から12の何れかに記載の半導体装置。

【請求項14】 前記半導体素子は、半導体ウェハから分離された半導体チップである請求項1から12の何れ

かに記載の半導体装置。

【請求項15】 素子電極が配列された主面を有する複数の半導体素子が形成された半導体ウェハを用意する工程と、

前記複数の半導体素子のそれぞれの前記主面の外縁を規定する側面を露出する溝を前記半導体ウェハに形成する工程と、

前記溝内に露出した前記側面と前記主面との上に、前記素子電極を露出する開口部を有する絶縁層を形成する工程と、

前記開口部に露出した前記素子電極に電気的に接続される配線層であって、その一部が外部電極として機能する配線層を、前記絶縁層上に形成する工程と、

前記主面に対向する裏面を研磨することによって、前記側面上に形成された絶縁層を前記裏面から露出させる工程とを包含する半導体装置の製造方法。

【請求項16】 研磨された前記裏面に樹脂層を形成する工程をさらに包含する請求項15に記載の半導体装置の製造方法。

【請求項17】 前記半導体素子の前記主面を保護するために使用するバックグラインドテープを前記主面に接着させた後、前記半導体素子の前記裏面を研磨し、前記バックグラインドテープを前記主面に接着させた前記半導体素子の前記裏面に前記樹脂層を形成する請求項16に記載の半導体装置の製造方法。

【請求項18】 前記半導体素子の前記主面を保護するために使用するプレートを用いて前記主面に接着剤を介して接着させた後、前記半導体素子の前記裏面を研磨し、前記プレートを前記主面に接着させた前記半導体素子の前記裏面に前記樹脂層を形成する請求項16に記載の半導体装置の製造方法。

【請求項19】 前記絶縁層および前記樹脂層を同一の絶縁性樹脂材料から形成する請求項16から18の何れかひとつに記載の半導体装置。

【請求項20】 前記樹脂層として導電性樹脂層を形成する請求項18に記載の半導体装置の製造方法。

【請求項21】 前記樹脂層に、前記裏面の一部を露出する開口部を形成する工程をさらに包含する請求項16から20の何れか一つに記載の半導体装置の製造方法。

【請求項22】 前記配線層として、前記半導体素子の前記側面上に位置する絶縁層上に形成される側面配線層を有する配線層を形成し、

前記裏面を研磨することによって、前記側面配線層を前記裏面から露出させ、

前記裏面に形成する樹脂層として、前記側面配線層を露出する開口部を有する絶縁性樹脂層を形成し、

前記開口部内に露出した前記側面配線層に電気的に接続される金属層を前記絶縁性樹脂層上に形成する請求項16から19の何れか一つに記載の半導体装置の製造方法。

【請求項23】 前記金属層として、一部が外部電極として機能する金属配線層を形成する請求項22に記載の半導体装置の製造方法。

【請求項24】 前記配線層を形成する工程の後に、前記絶縁層上に形成され、前記配線層を被覆し、且つ前記外部電極の一部を露出するソルダーレジスト層を形成する工程をさらに包含する請求項15から23の何れか一つに記載の半導体装置の製造方法。

【請求項25】 前記金属配線層を形成する工程の後に、前記絶縁性樹脂層上に形成され、前記金属配線層を被覆し、且つ前記外部電極の一部を露出するソルダーレジスト層を形成する工程をさらに包含する請求項23または24に記載の半導体装置の製造方法。

【請求項26】 前記外部電極上に金属ボールを接合する工程をさらに包含する請求項15から25の何れか一つに記載の半導体装置の製造方法。

【請求項27】 前記外部電極上に導電性突起を形成する工程をさらに包含する請求項15から25の何れか一つに記載の半導体装置の製造方法。

【請求項28】 前記裏面から絶縁層を露出させる工程より後に、前記半導体ウェハを前記複数の半導体素子のそれぞれに分離する工程をさらに包含する請求項15から27の何れか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子を備えた半導体装置およびその製造方法に関する。特に、半導体素子を保護し、外部装置と半導体素子との電気的な接続を確保する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、半導体集積回路装置（以下、「半導体装置」と称する。）を搭載した電子機器の小型化及び低価格化の進展は目ざましく、これに伴って、半導体装置に対する小型化及び低価格化の要求が強くなっている。

【0003】半導体装置の小型化の要求に対して、半導体ウェハから切り出した半導体チップ（ベアチップ）のサイズでパッケージを施した半導体装置（以下、このパッケージ形態または半導体装置を「CSP（チップ・サイズ・パッケージ）」と称する。）が開発された。また、CSPの製造コストの低減を図る目的で、ウェハ状態のまま複数のCSPを製造する技術が開発されている（特開平8-102466号公報参照）。なお、本明細書においては、ウェハ状態のCSPを「ウェハレベルCSP」と呼ぶこととする。また、ダイシング等によって最終的にウェハから切り出されるチップを、ウェハから切り出される前の状態においても、「チップ」と呼ぶこととする。

【0004】以下、図9を参照しながら、従来のウェハレベルCSPを説明する。図9は、従来のウェハレベル

CSP300の一部の断面を模式的に示している。図9ではウェハレベルCSP300の一部を示しているが、ウェハレベルCSP300は、一枚の半導体ウェハにおいて複数形成されている。

【0005】ウェハレベルCSP300は、半導体ウェハ内に形成された半導体チップ101と、半導体チップ101の主面に配列された素子電極（電極パット）103と、半導体チップ101の主面上に形成されたパッシベーション膜102と、パッシベーション膜102上に形成され、素子電極103に電気的に接続されたA1配線層104およびNiメッキ層105とを有している。Niメッキ層105の一部には、半田バンプ107が接合されており、パッシベーション膜102上には、A1配線層104およびNiメッキ層105を被覆し、且つ半田バンプ107の一部を露出するカバーコート膜106が形成されている。

【0006】次に、従来のウェハレベルCSP300の製造方法を説明する。まず、複数の半導体チップ101が形成された半導体ウェハを用意した後、スピコート法を用いて半導体ウェハ上にパッシベーション膜102を形成する。次に、周知の露光技術およびエッチング技術によって、半導体チップ101の主面上に位置する素子電極103を露出する開口部をパッシベーション膜102に形成する。次に、露出した素子電極103に一端が電気的に接続されたA1配線層104をパッシベーション膜102上に形成する。

【0007】次に、マスクを用いてスパッタなどの薄膜形成技術により、A1配線層104上にNiメッキ層105を形成する。次に、A1配線層104およびNiメッキ層105を被覆するカバーコート膜106をパッシベーション膜102上に形成する。次に、半田バンプ107の接合部位を露出する開口部をパッシベーション膜102に格子状に複数個形成した後、露出した接合部位に半田バンプ107を接合する。このようにして従来のウェハレベルCSP300は製造される。ウェハレベルCSP300のそれぞれを分離すれば、CSPが得られる。

【0008】

【発明が解決しようとする課題】しかしながら、従来のウェハレベルCSP300には、次のような問題がある。すなわち、ウェハレベルCSP300を分離して得られるCSPは、半導体チップ101の側面および裏面が露出しているため、機械的な衝撃によってチップングが起こりやすく、信頼性が乏しい。

【0009】本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、機械的な衝撃から半導体チップを保護することができ、信頼性を向上させた半導体装置およびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明による半導体装置

は、素子電極が配列された主面と前記主面の外縁を規定する側面とを有する半導体素子と、前記半導体素子の前記主面上および前記半導体素子の前記側面上に形成され、前記素子電極を露出する開口部を有する絶縁層と、前記絶縁層上に形成され、前記開口部内において前記素子電極と電気的に接続された配線層と、前記配線層の一部として前記絶縁層上に形成された外部電極とを備え、これにより上記目的が達成される。

【0011】前記半導体素子の前記主面に対向する裏面上に形成された樹脂層をさらに有することが好ましい。

【0012】前記絶縁層および前記樹脂層は、同一の絶縁性樹脂材料から形成されていることが好ましい。

【0013】前記樹脂層は、導電性樹脂層であってもよい。前記導電性樹脂層は、前記素子電極の一部に電気的に接続されていることが好ましい。

【0014】前記樹脂層は、前記半導体素子の前記裏面の一部を露出する開口部を有していることが好ましい。

【0015】前記樹脂層は絶縁性樹脂層であり、前記絶縁性樹脂層上に形成された金属層をさらに備えることが好ましい。

【0016】ある実施形態では、前記配線層は、前記側面上に位置する絶縁層上に形成された側面配線層を有し、前記金属層は、前記側面配線層に電気的に接続されている。前記金属層は、一部が外部電極として機能する金属配線層であることが好ましい。

【0017】前記外部電極に接合された金属ボールをさらに有することが好ましい。

【0018】前記外部電極上に形成された導電性突起をさらに有してもよい。

【0019】ある実施形態では、前記半導体素子の前記主面に形成され、前記素子電極を露出する開口部を有するパッシベーション膜をさらに備え、前記絶縁層は、前記パッシベーション膜上に形成されている。

【0020】前記半導体素子は、半導体ウェハ内に形成された半導体チップであってもよいし、前記半導体素子は、半導体ウェハから分離された半導体チップであってもよい。

【0021】本発明による半導体装置の製造方法は、素子電極が配列された主面を有する複数の半導体素子が形成された半導体ウェハを用意する工程と、前記複数の半導体素子のそれぞれの前記主面の外縁を規定する側面を露出する溝を前記半導体ウェハに形成する工程と、前記溝内に露出した前記側面と前記主面との上に、前記素子電極を露出する開口部を有する絶縁層を形成する工程と、前記開口部に露出した前記素子電極に電気的に接続される配線層であって、その一部が外部電極として機能する配線層を、前記絶縁層上に形成する工程と、前記主面に対向する裏面を研磨することによって、前記側面上に形成された絶縁層を前記裏面から露出させる工程とを包含し、これによって上記目的を達成する。

【0022】研磨された前記裏面に樹脂層を形成する工程をさらに包含することが好ましい。

【0023】ある実施形態では、前記半導体素子の前記主面を保護するために使用するバックグランドテープを前記主面に接着させた後、前記半導体素子の前記裏面を研磨し、前記バックグランドテープを前記主面に接着させた前記半導体素子の前記裏面に前記樹脂層を形成する。

【0024】ある実施形態では、前記半導体素子の前記主面を保護するために使用するプレートを用いて前記主面に接着剤を介して接着させた後、前記半導体素子の前記裏面を研磨し、前記プレートを前記主面に接着させた前記半導体素子の前記裏面に前記樹脂層を形成する。

【0025】前記絶縁層および前記樹脂層を同一の絶縁性樹脂材料から形成することが好ましい。

【0026】前記樹脂層として導電性樹脂層を形成してもよい。

【0027】前記樹脂層に、前記裏面の一部を露出する開口部を形成する工程をさらに包含してもよい。

【0028】ある実施形態では、前記配線層として、前記半導体素子の前記側面上に位置する絶縁層上に形成される側面配線層を有する配線層を形成し、前記裏面を研磨することによって、前記側面配線層を前記裏面から露出させ、前記裏面に形成する樹脂層として、前記側面配線層を露出する開口部を有する絶縁性樹脂層を形成し、前記開口部内に露出した前記側面配線層に電気的に接続される金属層を前記絶縁性樹脂層上に形成する。

【0029】前記金属層として、一部が外部電極として機能する金属配線層を形成することが好ましい。

【0030】前記配線層を形成する工程の後に、前記絶縁層上に形成され、前記配線層を被覆し、且つ前記外部電極の一部を露出するソルダーレジスト層を形成する工程をさらに包含することが好ましい。

【0031】前記金属配線層を形成する工程の後に、前記絶縁性樹脂層上に形成され、前記金属配線層を被覆し、且つ前記外部電極の一部を露出するソルダーレジスト層を形成する工程をさらに包含することが好ましい。

【0032】前記外部電極上に金属ボールを接合する工程をさらに包含することが好ましい。

【0033】前記外部電極上に導電性突起を形成する工程をさらに包含してもよい。

【0034】ある実施形態では、前記裏面から絶縁層を露出させる工程より後に、前記半導体ウェハを前記複数の半導体素子のそれぞれに分離する工程をさらに包含する。

【0035】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。以下の図面においては、簡単のために、実質的に同一の機能を有する構成要素を同一の参照符号で示す。

(実施形態1) 図1から図4を参照しながら、本発明による実施形態1を説明する。図1(a)は、本実施形態にかかる半導体装置100の上面を一部切り欠いて模式的に示している。図1(b)は、半導体装置100の断面を模式的に示している。本実施形態の半導体装置100は、半導体素子10と、半導体素子10の主面10a上に配列された素子電極11と、主面10a上および主面10aの外縁を規定する側面10b上に形成された絶縁層20と、主面10aに対向する裏面10c上に形成された樹脂層22と、絶縁層20上に形成された配線層33とを備えている。

【0036】配線層33は、素子電極11に接合されたコンタクト部30と、外部機器に電氣的に接続可能なランド32と、コンタクト部30とランド32とを電氣的に接続する配線31とを有している。ランド32は、外部機器と半導体素子10との間で伝達される信号の入出力を行う外部電極として機能し、半導体素子10の主面10a上に二次元的に配置されている。ランド32は、配線層33の一部として形成されており、コンタクト部30、配線32およびランド32は、同一金属(例えば、銅)から形成され得る。

【0037】絶縁層20上には、配線層33を被覆し且つランド32の一部を露出するソルダーレジスト層50が形成されており、ランド32には、外部電極端子として機能する金属ボール60が接合されている。ランド32に金属ボール60が接合されていると、簡便なプロセスで迅速に、金属ボール60を介してランド32と配線基板(プリント基板)とを電氣的に接続することができる。金属ボール60は、例えば、半田、半田メッキされた銅、ニッケル等から構成されている。

【0038】半導体素子10は、例えば半導体チップであり、トランジスタ等を含む半導体集積回路部(不図示)を備えており、半導体集積回路部は素子電極11と電氣的に接続されている。半導体集積回路部を保護するため、半導体素子10の主面10aには、素子電極11を露出する開口部を有するパッシベーション膜(不図示)が形成されていることが好ましい。本実施形態では、半導体チップの主面10aの外周部に素子電極が配置されている。

【0039】また、本実施形態では、半導体素子10の側面10bは、主面10aとなす角が鈍角(100度程度)をなすよう傾斜して形成されている。半導体素子10の側面10bが傾斜していることによって、製造工程において側面10b上に塗布される絶縁性樹脂材料の濡れやすさを向上させることができる。さらに、半導体素子10の裏面10cは研磨されており、そのため半導体素子10の厚さ(例えば、150 μ m程度)は、従来のCSPの厚さ(例えば、500 μ m程度)よりも薄くなっている。半導体素子10の厚さを薄くすることによって、半導体装置100全体の見掛けの熱膨張係数(線膨

張係数)を、半導体素子10の熱膨張係数よりも、絶縁層20および樹脂層22を構成している材料(例えば、絶縁性樹脂材料)の熱膨張係数の方に近づけることができる。このため、半導体装置10を配線基板に実装した後、配線基板との接続部に発生する応力を低減することが可能となる。

【0040】なお、本実施形態では半導体素子10として半導体チップを用いているが、半導体チップに分離する前の半導体ウェハを用いてもよい。また、素子電極11が配置される領域(電極配置領域)は、半導体チップの主面10aの外周部の全ての辺に設けられている必要はない。また、電極配置領域を主面10aの外周部に設けずに、例えば主面10aの中央部に設けることも可能である。なお、素子電極11上に耐メッキ液性を有するバリアメタルを形成することもできる。

【0041】絶縁層20は、主面10a上加えて、側面10b上にも形成されている。従って、絶縁層20によって、従来のCSPでは保護されていなかった半導体素子10の側面10bを保護することができる。本実施形態では、側面10b全面に絶縁層20が形成されている。主面10a上の絶縁層20の厚さは、配線基板との接合部に発生する応力の緩和という観点から、例えば5~100 μ m程度の範囲内、好ましくは30 μ m程度である。側面10b上の絶縁層20の厚さは、絶縁性の観点から、例えば3~20 μ m程度の範囲内、好ましくは5 μ m程度である。なお、側面10bの保護の観点から実質的に影響がない場合、側面10b全面に樹脂層20が形成されてなくとも、絶縁層20によって側面10bが実質的に被覆されていると言えるので、側面10bの一部に絶縁層20が形成されていない領域が存在していてもよい。

【0042】絶縁層20は、絶縁性を有する材料から構成されており、例えば、エステル結合型ポリイミドやアクリレート系エポキシ等の高分子材料から構成されている。絶縁層20は、単一層に限定されず、複数の層(または複数の部分)から形成されていてもよい。例えば、絶縁層20のうち主面10a上の部分と側面10b上の部分とを異なる材料から形成することも可能である。なお、同一材料を用いて単一層として形成した場合、絶縁層20全体が同一の熱膨張係数を有することになるため、絶縁層20内に熱応力が発生することを防止することができる。

【0043】また、絶縁層20は、絶縁性の弾性材料から構成されていることが好ましい。低弾性率材料(弾性率が例えば2000kg/mm²以下の材料)から構成した場合、配線基板(プリント基板)と半導体素子10との間に熱膨張係数の違いに起因して発生する熱応力を絶縁層20によって緩和することができる。低弾性率材料として、例えば、エステル結合型ポリイミドやアクリレート系エポキシ等の高分子材料を用いることができ

る。

【0044】絶縁層20は、素子電極11を露出する開口部20aを有している。開口部20a内において素子電極11と配線層33とが電氣的に接続されている。配線層33の断線防止の観点より、開口部20aを規定する側面と絶縁層20の上面とが鈍角（例えば、100～150度程度）をなすように開口部20aが形成されていることが好ましい。

【0045】半導体素子の裏面10c上に形成された樹脂層22は、例えば、絶縁性を有する樹脂材料から構成されており、具体的には、エステル結合型ポリイミドやアクリレート系エポキシ等の高分子材料から構成されている。樹脂層22を低弾性率材料から構成することもできる。なお、樹脂層22は、単一層に限定されず、複数の層（または複数の部分）から形成されていてもよい。

【0046】絶縁層20と樹脂層22とは、同一の絶縁性樹脂材料から形成されていることが好ましい。両層が同一材料から形成された場合、両層の硬化収縮や熱膨張係数が等しくなるため、絶縁性樹脂材料の硬化収縮や熱膨張によって生じる半導体素子10の反りを抑制・防止することができる。その結果、半導体装置100の実装面の平坦性を確保することができ、検査時および実装時に容易かつ確実に電氣的接続が可能な半導体装置100を提供することができる。半導体素子10の反りをさらに効果的に抑制・防止するため、樹脂層22の厚さは、絶縁層20の厚さと同程度にすることが好ましい。樹脂層22の厚さは、例えば5～100 μm 程度の範囲内、好ましくは30 μm 程度にする。

【0047】樹脂層22は、半導体素子の裏面10cの一部を露出する開口部を有してもよい。樹脂層22が開口部を有していると、半導体装置100が吸湿したときにリフローを行っても、吸湿した水分を開口部から水蒸気として放出させることができるため、水蒸気爆発などの発生を防止することができる。開口部の形状は例えば円形や矩形であり、具体的には、直径0.2mm ϕ の円形や寸法0.2 \times 0.2mmの矩形の開口部が複数個（例えば50個程度）形成されていればよい。吸湿した水分を水蒸気として放出させる目的のため、開口部の総面積は、半導体素子の裏面10cの面積の1～5%程度であることが好ましい。開口部は、例えば、公知のフォトリソグラフィ技術およびエッチング技術、またはレーザーを用いて形成すればよい。

【0048】本実施形態の半導体装置100では、半導体素子の側面10bが絶縁層20によって被覆されているので、物理的な衝撃を緩和して半導体素子の側面10bを保護することができ、その結果、半導体素子10のチップングを防止することができる。半導体素子の裏面10c上に樹脂層22を形成すると、半導体素子の裏面10cも保護することができる。従って、信頼性に優れた半導体装置を提供することができる。

【0049】また、主面10a上に絶縁層20が形成されているので、ランド32を二次元的に配置することができ、狭い面積に多数の外部電極を設けることが可能となる。従って、多ピン化に対応可能な半導体装置（CSP）を提供することができる。さらに、半導体装置100はウェハレベルCSPとして製造可能な構成をしており、加えて、ランド32を配線層33の一部として形成することができる構成をしているので、製造コストが極めて低い半導体装置を提供することができる。

（実施形態2）次に、図2（a）～（e）、図3（a）～（e）および図4（a）～（e）を参照しながら、実施形態2にかかる半導体装置100の製造方法を説明する。

【0050】まず、図2（a）に示すように、複数の半導体チップ10が形成された半導体ウェハ110を用意する。複数の半導体チップ10のそれぞれは、素子電極11が配列された主面10aを有している。なお、半導体チップ10の主面および裏面は、それぞれ、半導体ウェハ110の主面および裏面を意味する場合がある。

【0051】半導体ウェハ110には、複数の半導体チップ10のそれぞれを分割するスクライブレーン70が形成されている。半導体ウェハ110の厚さは、例えば625 μm 程度であり、スクライブレーン70の幅は、例えば80 μm 程度である。半導体ウェハ110の主面には、予めパッシベーション膜（不図示）が形成されていることが好ましい。

【0052】次に、図2（b）に示すように、複数の半導体チップ10のそれぞれの主面10aの外縁を規定する側面10bを露出する溝40を半導体ウェハ110に形成する。例えば、ダイシングソーを用いて半導体ウェハ40の主面側からスクライブレーン70に沿って溝40を形成する。溝40の幅は、例えば100 μm 程度であり、溝40の深さは、例えば300 μm 程度である。主面10aと側面10bとが鈍角（例えば100度程度）をなすようにV字型に溝は形成される。V字型に溝を形成すると、後の工程で側面10b上に塗布される絶縁性樹脂材料の濡れやすさを向上させることができる。なお、V字型に代えて、凹字型の溝を形成してもよい。溝40の形成方法は、レーザーやプラズマによる機械的な加工、またはエッチングなどの化学的な加工によってもよい。

【0053】次に、図2（c）に示すように、溝40内に露出した側面10bと主面10aとの上に絶縁層20を形成する。本実施形態では、側面10b全面に絶縁層20を形成する。絶縁層20の形成は、例えば、感光性絶縁材料を塗布した後、乾燥することによって行う。絶縁層20の厚さは、例えば5～15 μm 程度、好ましくは10 μm 程度にする。

【0054】次に、図2（d）に示すように、素子電極11を露出する開口部20aを絶縁層20に形成する。

開口部 20 a の形成は、絶縁層 20 を露光・現像することによって行う。開口部 20 a を形成する場合、露光工程において平行光ではなく例えば拡散光（散乱光を含む）を使用することが好ましい。拡散光を使用することによって、開口部の側面と絶縁層 20 の上面とが鈍角（例えば、100～140 度程度）をなすように、開口部 20 a を形成することができる。

【0055】絶縁層 20 を形成するための感光性絶縁材料としては、例えばエステル結合型ポリイミドやアクリレート系エポキシ等の高分子材料を用いることができ、絶縁性を有する材料であれば特に限定されない。なお、感光性絶縁材料は液状である必要はなく、予めフィルム状に形成された材料を用いてもよい。この場合、フィルム状の感光性絶縁材料を半導体素子 10 上に貼り合わせた後に、露光と現像とを順次行って開口部 20 a を形成することができる。また、感光性を有していない絶縁材料を用いることも可能である。この場合、例えば、レーザーやプラズマを用いる機械的な加工、またはエッチングなどの化学的な加工によって開口部 20 a を形成すればよい。

【0056】次に、図 2 (e) に示すように、絶縁層 20 および素子電極 11 の上に薄膜金属層 12 を形成する。薄膜金属層 12 の形成は、真空蒸着法、スパッタリング法、CVD 法、または無電解めっき法を用いて、例えば、Ti 膜（厚さ：0.2 μm 程度）を堆積した後、Ti 膜上に Cu 膜（厚さ：0.5 μm 程度）を堆積することによって行う。

【0057】次に、図 3 (a) に示すように、薄膜金属層 12 の上にメッキレジスト膜 13 を形成する。メッキレジスト膜 13 の形成は、薄膜金属層 12 上にポジ型感光性レジストを塗布した後、このレジストのうち仕上げ製品の所望のパターン部の部分を分解し、次いで所望のパターン部を除去することによって行う。なお、ポジ型感光性レジストに代えて、ネガ型感光性レジストを用いてメッキレジスト膜 13 を形成してもよい。

【0058】次に、図 3 (b) に示すように、メッキレジスト膜 13 の形成された部分以外の薄膜金属層 12 上に厚膜金属層 14 を形成する。厚膜金属層 14 の形成は、例えば電解めっき法を用いて行う。厚膜金属層 14 の厚さは、例えば 5 μm～15 μm の範囲内、好ましくは 10 μm 程度にする。電解めっき法を用いると、他の方法よりも短時間で厚膜を形成することができるという利点がある。

【0059】次に、図 3 (c) に示すように、メッキレジスト膜 13 を分解除去した後、薄膜金属層 12 を選択的に除去することによって、コンタクト部 30、配線 31 およびランド 32 から構成される配線層 33 を形成する。薄膜金属層 12 を溶解できるエッチング液（例えば、Cu 膜に対して塩化第二銅溶液、Ti 膜に対して EDTA 溶液）を用いて全面エッチングを行うと、厚膜金

属層 14 よりも厚さの薄い薄膜金属層 12 が先行して除去されるので、薄膜金属層 12 を選択的に除去することができる。

【0060】次に、図 3 (d) に示すように、感光性ソルダーレジスト材料 51 を絶縁層 20 の上に堆積する。その後、図 3 (e) に示すように、配線層 33 のランド 32 の少なくとも一部を露出する開口部 50 a を感光性ソルダーレジスト材料 51 にフォトリソグラフィ技術を用いて形成し、ソルダーレジスト層 50 を得る。ソルダーレジスト層 50 を形成することによって、コンタクト部 30 と金属配線 31 を溶解したはんだから保護することができる。

【0061】次に、図 4 (a) に示すように、半導体チップ（または半導体ウエハ）の主面 10 a に対向する裏面 10 c を研磨することによって、側面 10 b 上に形成された絶縁層 20（溝 40 内の絶縁層 20）を裏面 10 c から露出させる。研磨後の半導体チップ 10 の厚さは 300 μm 程度である。

【0062】裏面 10 c の研磨は、半導体ウエハ 101 の主面 10 a を保護するために使用するバックグランドテープ（不図示）を主面 10 a に接着させた後に実行することが好ましい。裏面 10 c を研磨した後は、絶縁層 20 の残留応力によって、樹脂層 20 側が凹になるように半導体ウエハ 10 が反るため、この反りをバックグランドテープによって防ぐことが望ましいからである。バックグランドテープとしては、厚さが 100 μm 以上であり、ヤング率が 200 kg/cm² 以上あることが好ましい。

【0063】また、バックグランドテープの代わりに、プレート（例えば、シリコン基板やセラミック基板）を接着剤を介して主面 10 a に接着させた後、裏面 10 c の研磨を行っても良い。この場合、一定温度で接着性がなくなるように設計された接着剤を用いることが好ましい。

【0064】次に、図 4 (b) に示すように、研磨された裏面 10 c 上および裏面 10 c から露出した絶縁層 20 上に、すなわち、半導体ウエハ 110 の裏面 10 c 上に樹脂層 22 を形成する。樹脂層 22 の形成は、例えば、絶縁性樹脂材料を塗布した後、乾燥することによって行う。樹脂層 22 を形成する材料として、絶縁層 20 と同一の材料を用いることが好ましい。両層を同一材料から形成することによって、両層の硬化収縮や熱膨張係数を等しくすることができ、絶縁性樹脂材料の硬化収縮や熱膨張によって生じる半導体ウエハ 101（または半導体チップ 10）の反りを抑制・防止することができるからである。また、同一材料を用いれば、材料コストの低減を図ることもできる。半導体ウエハ 110 の反りをさらに効果的に抑制・防止するため、樹脂層 22 の厚さを、絶縁層 20 の厚さと同程度にすることが望ましい。樹脂層 22 の厚さは、例えば 5～100 μm 程度の範囲

内、好ましくは $30\mu\text{m}$ 程度にする。

【0065】樹脂層22の形成は、バックグランドテープまたはプレートを主面10aに接着させた状態で行うことが好ましい。このようにすれば、半導体ウェハ101が複数の半導体チップ10のそれぞれに分離することを防止することができるため、半導体ウェハ101の裏面全面に樹脂層22を形成でき、製造効率を向上させることができるからである。

【0066】次に、図4(c)に示すように、開口部50a内に露出したランド32上に金属ボール60を載置した後、ランド32と金属ボール60とを熔融結合させる。

【0067】最後に、図4(d)に示すように、半導体ウェハ101のスクライブレーン70に沿って、例えば $30\mu\text{m}$ 幅のダイシングソーを用いてダイシングを行うと、図4(e)に示すように、半導体ウェハ101から半導体チップ10のそれぞれが分離され、半導体装置100が得られる。

【0068】本実施形態によれば、半導体ウェハ101の裏面10cを研磨し、溝40内の絶縁層20を裏面10cから露出させることによって、半導体チップ10の側面10bを樹脂層20で被覆した半導体装置(または、ウェハレベルCSP)を簡便なプロセスで製造することができる。また、配線層33の一部としてランド32を形成することができるので、製造工程の削減を図ることができる。

(実施形態3) 図5を参照しながら、本発明による実施形態3を説明する。図5は、本実施形態にかかる半導体装置200の断面を模式的に示している。本実施形態の半導体装置200は、樹脂層22上に金属配線層32を有している点において、実施形態1の半導体装置100と異なる。本実施形態の説明を簡明にするため、以下では、実施形態1と異なる点を主に説明し、実施形態1と同様の点の説明は省略する。

【0069】半導体装置200は、半導体チップ(半導体素子)10と、半導体チップ10の主面10a上および側面10b上に形成された絶縁層20と、裏面10c上に形成された絶縁性樹脂層22と、絶縁層20上に形成された配線層33と、絶縁性樹脂層22上に形成された金属配線層34を備えている。配線層33および金属配線層34は、外部電極として機能するランド32を有しており、絶縁層20上および絶縁性樹脂層22上には、配線層33および金属配線層34を被覆し、且つランド32の一部を露出するソルダーレジスト層50が形成されている。

【0070】絶縁層20上に形成された配線層33は、半導体素子10の側面上に位置する絶縁層上に形成された側面配線層33aを有している。側面配線層33aは、主面10a上に配列された複数の素子電極11の一部に電気的に接続されている。また、側面配線層33a

は、絶縁性樹脂層22上に形成された金属配線層34に電気的に接続されている。側面配線層33aに電気的に接続された金属配線層34の断線を防止するために、絶縁性樹脂層22の側面22aはテーパ状に形成されていることが好ましい。側面配線層33aは、例えば、配線層33と同一の材料から形成されており、側面配線層33aの厚さは、例えば $3\sim 20\mu\text{m}$ 程度であり、 $5\mu\text{m}$ 程度であることが好ましい。

【0071】本実施形態の半導体装置200は、半導体チップ10の裏面10c上に金属配線層34を有しているので、半導体チップ10の熱を金属配線層34に伝えて放熱させることができる。このため、放熱性に優れた半導体装置を提供することができる。また、金属配線層34が側面配線層33aに電気的に接続されているので、半導体チップ10を電気的にシールドした構造にすることができる。従って、電磁シールド性に優れた半導体装置を提供することができる。その結果、半導体装置の信頼性を向上させることが可能となる。

【0072】さらに、半導体装置200では、半導体チップ10の主面10aおよび裏面10cの両面上にランド32が形成されているので、半導体装置200の両面を利用して3次元的な実装をすることが可能である。また、半導体チップ10の側面10bおよび裏面10cが絶縁層20および絶縁性樹脂層22によって保護されているので、実施形態1の半導体装置100と同様に、チップングの発生を防止することができる。

【0073】本実施形態では、絶縁性樹脂層22上に金属配線層34が形成されているが、放熱性の向上という観点から、金属配線層34に代えて、単に金属層が形成されていてもよい。この金属層を側面配線層33aに電気的に接続した構造にすれば、半導体チップ10を電気的にシールドすることができるため、電磁シールド性を向上させることができる。

【0074】また、金属配線層34および絶縁樹脂層22に代えて、半導体チップ10の裏面10cに導電性樹脂層を形成した構成にすることも可能である。裏面10cに形成した導電性樹脂層によって、半導体素子の放熱性を向上させることができ、この導電性樹脂層と素子電極11の一部とを、例えば側面配線層33aを介して相互に接続すれば、電磁シールド性を向上させることができる。導電性樹脂層は、例えば、炭素(微粒子)、銅またはニッケル等の導電性フィラーを含む樹脂材料から形成することができ、高熱伝導性を有する樹脂層である。また、放熱性の向上を主目的とするならば、アルミナまたは窒化アルミナ等の高熱伝導性を示す絶縁フィラーを含む樹脂材料から形成した絶縁性樹脂層を、導電性樹脂層に代えて、形成することも可能である。

(実施形態4) 次に、図6(a)~(g)、図7(a)~(f)および図8(a)~(d)を参照しながら、実施形態4にかかる半導体装置200の製造方法を説明す

る。本実施形態の説明を簡明にするため、以下では、実施形態2と異なる点を主に説明し、実施形態2と同様の点の説明は省略する。

【0075】まず、図6(a)に示すように、複数の半導体チップ10が形成された半導体ウェハ110を用意した後、図6(b)に示すように、複数の半導体チップ10の側面10bを露出する溝40を半導体ウェハ110に形成する。本実施形態では、スクライプレーン70に沿って、凹型の溝40(幅:100 μ m程度、深さ:300 μ m程度)を形成する。なお、凹型に代えて、V字型の溝を形成してもよい。

【0076】次に、図6(c)に示すように、溝40内に露出した側面10bと主面10aとの上に絶縁層20を形成する。絶縁層20の厚さは、例えば5~100 μ m程度、好ましくは30 μ m程度にする。

【0077】次に、図6(d)に示すように、素子電極11を露出する開口部20aと、側面10b上に形成された絶縁層20を溝40内に露出する開口部20bとを絶縁層20に形成する。開口部20aおよび開口部20bの形成は、絶縁層20を露光・現像することによって行う。

【0078】次に、図6(e)に示すように、半導体チップの主面10aおよび側面10b上に位置する絶縁層20と、素子電極11との上に薄膜金属層12を形成する。薄膜金属層12の形成は、真空蒸着法、スパッタリング法、CVD法、または無電解めっき法を用いて、例えば、Ti膜(厚さ:0.2 μ m程度)を堆積した後、Ti膜上にCu膜(厚さ:0.5 μ m程度)を堆積することによって行う。なお、スパッタリング法で堆積を行う場合、図6(a)の工程でV字型の溝を形成して影ができないにすると、蒸着しやすくなる。このとき、スパッタリング法による堆積が好ましくなければ、指向性の少ない電子ビーム蒸着法やCVD法を用いることができる。

【0079】次に、図6(f)に示すように、半導体チップ(または半導体ウェハ)の裏面10cを研磨することによって、側面10b上に形成された絶縁層20および薄膜金属層12(溝40内の絶縁層20および薄膜金属層12)を裏面10cから露出させる。研磨後の半導体チップ10の厚さは150 μ m程度である。研磨の際には、半導体チップ10の反りを防止するために、バックグラインドテープ(厚さ:100 μ m以上、ヤング率:200kg/cm²以上)、または接着剤を介してプレート(例えば、シリコン基板やセラミック基板)を主面10aに接着することが好ましい。

【0080】次に、図6(g)に示すように、研磨された裏面10c上と、裏面10cから露出した絶縁層20および薄膜金属層12の上に、すなわち、半導体ウェハ110の裏面上に樹脂層22を形成する。樹脂層22の形成は、例えば、感光性絶縁樹脂材料を塗布した後、乾

燥することによって行う。実施形態2と同様の理由により、樹脂層22を形成する材料は、絶縁層20と同一の材料を用いることが好ましい。また、樹脂層22の厚さは、絶縁層20の厚さと同程度にすることが望ましい。樹脂層22の厚さは、例えば5~100 μ m程度の範囲内、好ましくは30 μ m程度にする。

【0081】次に、図7(a)に示すように、研磨によって露出した溝40内の絶縁層20および薄膜金属層12を露出する開口部22aを樹脂層22に形成する。開口部22aの形成は、樹脂層22を露光・現像することによって行う。開口部22aを形成する場合、露光工程において平行光ではなく例えば拡散光(散乱光を含む)を使用することが好ましい。拡散光を使用することによって、開口部の側面と樹脂層22の上面とが鈍角(例えば、100~140度程度)をなすように、開口部22aを形成することができる。このようにテーパ状に開口部22aを形成することによって、後の工程で形成される金属配線層34の断線を防止することができる。

【0082】次に、図7(b)に示すように、樹脂層22と、開口部22a内に露出した絶縁層20および薄膜金属層12との上に、薄膜金属層23を形成する。薄膜金属層23の形成は、真空蒸着法、スパッタリング法、CVD法、または無電解めっき法を用いて、例えば、Ti膜(厚さ:0.2 μ m程度)を堆積した後、Ti膜上にCu膜(厚さ:0.5 μ m程度)を堆積することによって行う。

【0083】次に、図7(c)に示すように、薄膜金属層12および23の上にメッキレジスト膜13を形成する。メッキレジスト膜13の形成は、薄膜金属層12および23上にポジ型感光性レジストを塗布した後、このレジストのうち仕上げ製品の所望のパターン部の部分を分解し、次いで所望のパターン部を除去することによって行う。なお、ポジ型感光性レジストに代えて、ネガ型感光性レジストを用いてメッキレジスト膜13を形成してもよい。

【0084】次に、図7(d)に示すように、メッキレジスト膜13の形成された部分以外の薄膜金属層12および23上に厚膜金属層14を形成する。厚膜金属層14の形成は、例えば電解めっき法を用いて行う。厚膜金属層14の厚さは、例えば5 μ m~15 μ mの範囲内、好ましくは10 μ m程度にする。

【0085】次に、図7(e)に示すように、メッキレジスト膜13を分解除去する。その後、図7(f)に示すように、薄膜金属層12および23を選択的に除去することによって、側面配線層33aを有する配線層33と、金属配線層34とを形成する。薄膜金属層12および23を溶解できるエッチング液(例えば、Cu膜に対して塩化第二銅溶液、Ti膜に対してEDTA溶液)を用いて全面エッチングを行うと、厚膜金属層14よりも厚さの薄い薄膜金属層12および23が先行して除去さ

れるので、薄膜金属層12を選択的に除去することができる。配線層33および金属配線層34の両層とも、外部電極として機能するランド32を備えている。

【0086】次に、図8(a)に示すように、感光性ソルダーレジスト材料51を絶縁層20および22の上に堆積する。その後、図8(b)に示すように、配線層33と金属配線層34との両層のランド32の少なくとも一部を露出する開口部50aを感光性ソルダーレジスト材料51にフォトリソグラフィ技術を用いて形成し、ソルダーレジスト層50を得る。

【0087】最後に、図8(c)に示すように、半導体ウェハ101のスクライブレーン70に沿って、例えば30 μ m幅のダイシングソーを用いてダイシングを行うと、図8(d)に示すように、半導体ウェハ101から半導体チップ10のそれぞれが分離され、半導体装置200が得られる。なお、ランド32に金属ボールを載置して溶融接合させてもよい。

【0088】本実施形態では、半導体ウェハ110裏面の研磨によって側面配線層33aを裏面10cから露出させた後、裏面10cから露出した側面配線層33aに電気的に接続される金属配線層34を形成する。このため、放熱性および電磁シールド性に優れ、且つ3次元実装可能な半導体装置(または、ウェハレベルCSP)を簡便なプロセスで製造することができる。

(他の実施形態)上記実施形態では薄膜金属層および厚膜金属層を構成する材料としてTiおよびCuを使用した。これに代えてCr、W、Ti/Cu、Ni等を使用してもよい。また、薄膜金属層と厚膜金属層とをそれぞれ異なる金属材料により構成しておき、最終的なエッチング工程で薄膜金属層のみを選択的にエッチングするエッチャントを用いてもよい。

【0089】上記実施形態では、金属ボール60を設けたが、これに代えて突起電極を設けてもよい。突起電極として、例えば、はんだクリームをランド32上に印刷、溶融することによって形成されたはんだバンプ、溶融はんだ内にディップすることによって形成されたはんだバンプ、無電解めっきによって形成されたニッケル/金バンプなどを設けることができる。突起電極は、導電性を有し、かつソルダーレジスト層50から突出していればよい。突起電極を設けることによって、金属ボール60を順次搭載する手間の掛かる工程とが不要となるため、低コストの半導体装置を実現することができる。

【0090】また、ランド32を外部電極端子として機能させるランド・グリッド・アレイ(LGA)型の構成を採用してもよい。LGA型の構成を採用した半導体装置を配線基板上に実装する際には、配線基板の接続端子の上にはんだクリームを塗布した後リフローさせるなどの方法によって、ランド32と配線基板との電気的な接続を容易に行なうことができる。

【0091】

【発明の効果】本発明の半導体装置によれば、半導体素子の側面上に絶縁層が形成されているので、物理的な衝撃を緩和して半導体素子の側面を保護することができ、チッピングの発生を防止することができる。その結果、信頼性に優れた半導体装置を提供することができる。

【0092】半導体素子の裏面上に樹脂層が形成された場合、半導体素子の裏面を保護することができ、さらに信頼性を向上させることができる。絶縁層と樹脂層とが同一の絶縁性樹脂材料から形成されているときには、両層の硬化収縮と熱膨張係数が等しくなるため、半導体素子の反りを効果的に抑制・防止することができる。その結果、半導体装置の実装面の平坦性を確保することができ、検査時および実装時に容易かつ確実に電気的接続が可能な半導体装置を提供することができる。

【0093】半導体素子の裏面上に導電性樹脂層が形成された場合、半導体素子の裏面を保護することができ、さらに、半導体装置の放熱性を向上させることができる。導電性樹脂層が素子電極の一部に電気的に接続されているときには、半導体素子を電気的にシールドした構造にすることができるため、電磁シールド性に優れた半導体装置を提供することができる。

【0094】半導体素子の裏面の一部を露出する開口部を樹脂層に形成した場合には、半導体装置が吸湿したときにリフローを行っても、吸湿した水分を開口部から水蒸気として放出させることができるため、水蒸気爆発などの発生を防止することができる。このため、信頼性に優れた半導体装置を提供することができる。

【0095】半導体素子の裏面上に金属層が形成された場合、半導体装置の放熱性を向上させることができる。金属層が側面配線層に電気的に接続されているときには、半導体素子が電気的にシールドされた構造にすることができ、その結果、電磁シールド性に優れた半導体装置を提供することができる。また、金属層として金属配線層が形成されている場合、半導体素子の裏面にある外部電極によっても外部機器との電気的接続が可能となる。このため、半導体素子の主面および裏面の両面に実装可能な半導体装置を提供することができる。

【0096】本発明による半導体装置の製造方法では、半導体素子の側面上に形成した絶縁層を、裏面を研磨することによって裏面から露出させる。これにより、半導体素子の側面が絶縁層で被覆された構造の半導体装置を簡便なプロセスで製造することができる。また、裏面に樹脂層を形成すると、半導体素子の裏面を保護した半導体装置を製造することができる。

【0097】裏面を研磨する際に、半導体素子の主面にバックグラインドテープを接着させることによって、半導体素子の反りを防止することができる。また、バックグラインドテープによって、複数の半導体素子がそれぞれに分離することを防止して、裏面に樹脂層を形成することができる。バックグラインドテープの代わりに、プ

レートおよび接着剤を使用することもできる。

【0098】側面配線層を有する配線層を形成した後、側面配線層を裏面の研磨によって裏面から露出させ、裏面から露出した側面配線層に電氣的に接続される金属層を裏面上に形成すると、放熱性および電磁シールド性に優れた半導体装置を簡便なプロセスで製造することができる。

【0099】裏面から絶縁層を露出させた後に、半導体ウェハを複数の半導体素子のそれぞれに分離することによって、半導体チップに分離される前の半導体ウェハを用いて各工程を行うことができるため、製造コストを大幅に低減することができる。

【図面の簡単な説明】

【図1】(a)は、実施形態1にかかる半導体装置100を一部切り欠いて模式的に示す平面図であり、(b)は、半導体装置100を模式的に示す断面図である。

【図2】(a)～(e)は、実施形態2にかかる半導体装置の製造方法を説明するための工程断面図である。

【図3】(a)～(e)は、実施形態2にかかる半導体装置の製造方法を説明するための工程断面図である。

【図4】(a)～(e)は、実施形態2にかかる半導体装置の製造方法を説明するための工程断面図である。

【図5】実施形態3にかかる半導体装置200を模式的に示す断面図である。

【図6】(a)～(g)は、実施形態4にかかる半導体装置の製造方法を説明するための工程断面図である。

【図7】(a)～(f)は、実施形態4にかかる半導体装置の製造方法を説明するための工程断面図である。

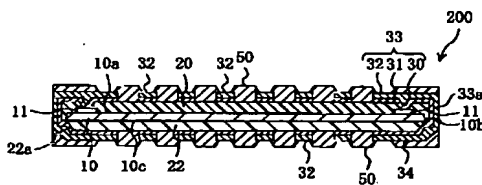
【図8】(a)～(d)は、実施形態4にかかる半導体装置の製造方法を説明するための工程断面図である。

【図9】従来のウェハレベルCSP300を模式的に示す断面図である。

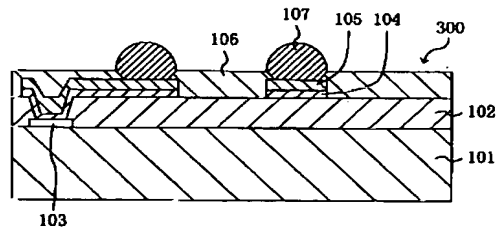
【符号の説明】

- 10 半導体素子(半導体チップ)
- 11 素子電極(電極パッド)
- 12 薄膜金属層
- 13 メッキレジスト層
- 14 厚膜金属層
- 20 絶縁層
- 22 樹脂層
- 23 薄膜金属層
- 30 コンタクト部
- 31 配線
- 33 配線層
- 33a 側面配線層
- 34 金属配線層
- 40 溝
- 50 ソルダレジスト層
- 60 金属ボール
- 70 スクライブレーン
- 80 ダイシングソー
- 100、200 半導体装置
- 101、110 半導体ウェハ
- 102 パッシベーション膜
- 103 素子電極(電極パッド)
- 104 Al配線
- 105 Niメッキ層
- 106 カバーコート膜
- 107 半田バンプ
- 300 ウェハレベルCSP

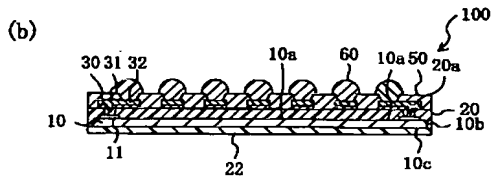
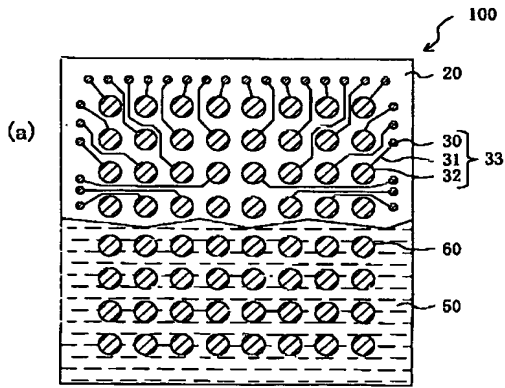
【図5】



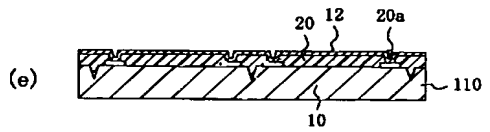
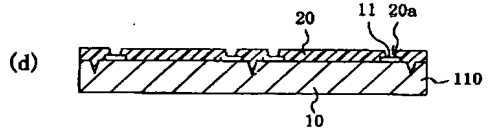
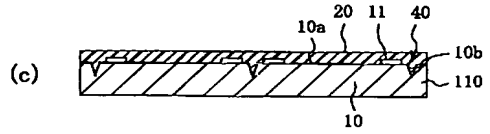
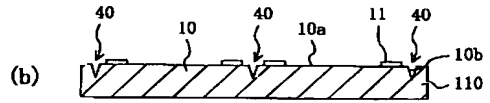
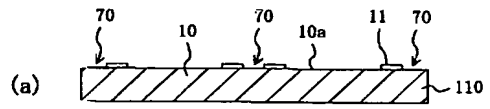
【図9】



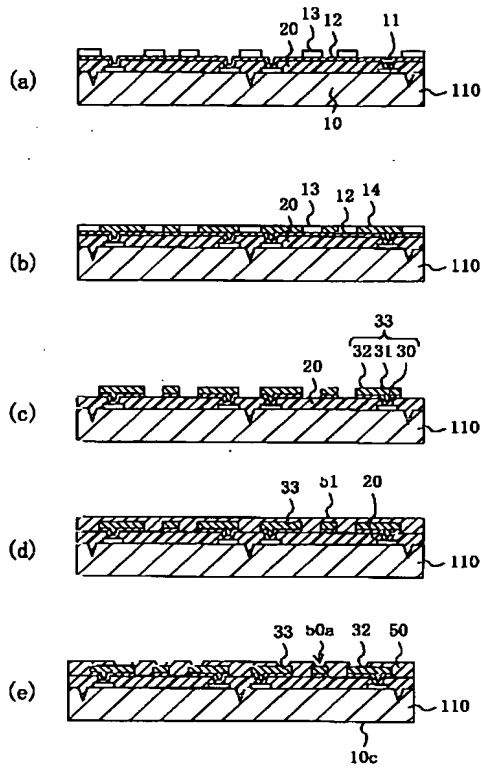
【図1】



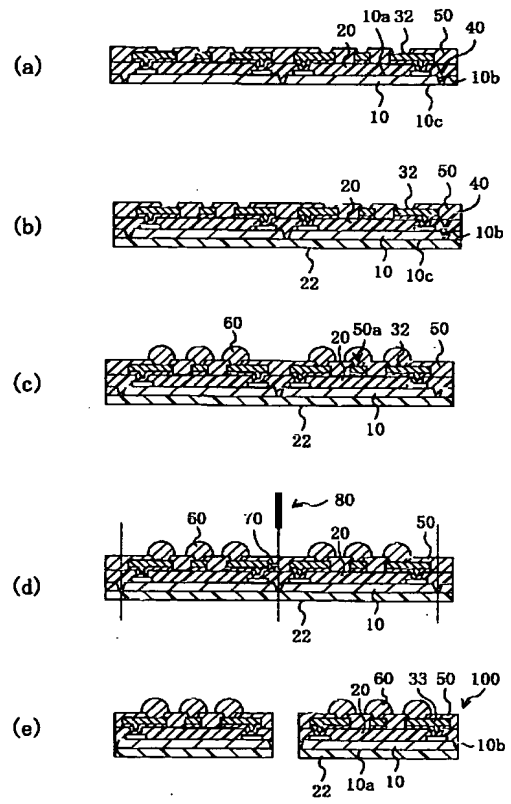
【図2】



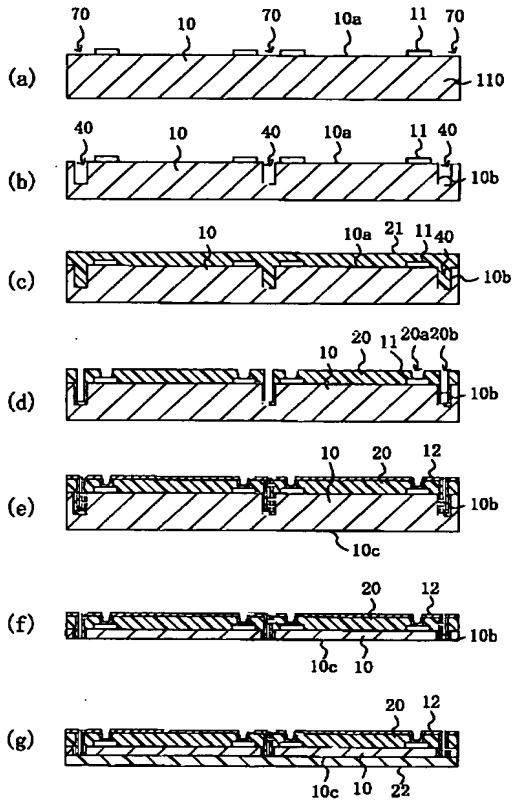
【図3】



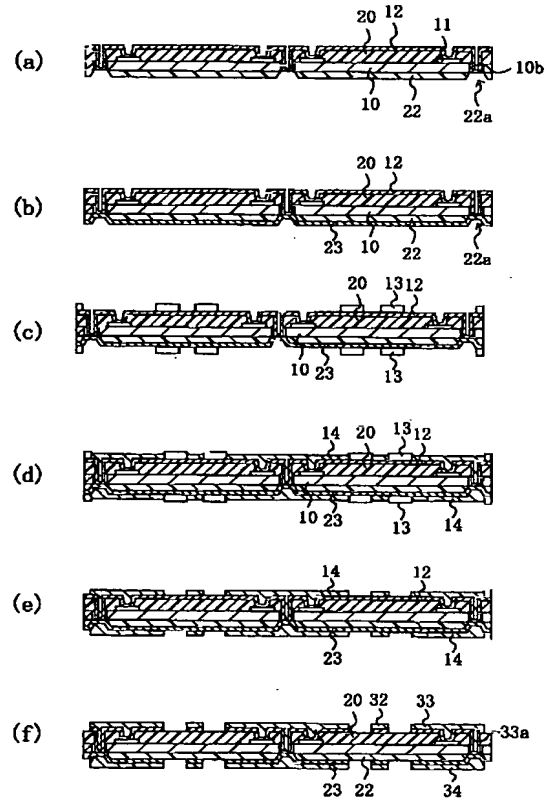
【図4】



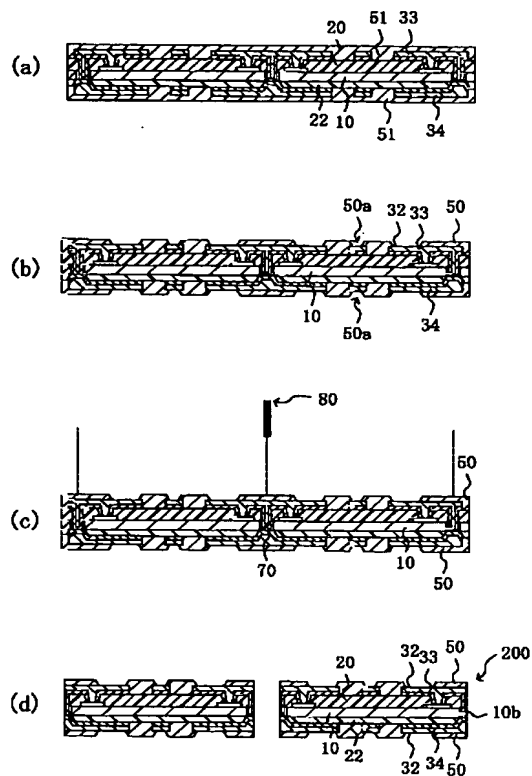
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 下石坂 望
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 中村 嘉文
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 隈川 隆博
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 渡瀬 和美
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

Fターム(参考) 5F044 RR18 RR19